

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-285094

(P2000-285094A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 6 F 15/78	5 1 0	G 0 6 F 15/78	5 1 0 C 5 B 0 1 8
12/00	5 6 4	12/00	5 6 4 A 5 B 0 6 0
12/16	3 1 0	12/16	3 1 0 H 5 B 0 6 2

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-91095

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 小林 賢

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

(74) 代理人 100080159

弁理士 渡辺 望裕 (外1名)

Fターム(参考) 5B018 GA01 GA03 HA01 HA33 NA06

PA03 QA13 RA11

5B060 CC02

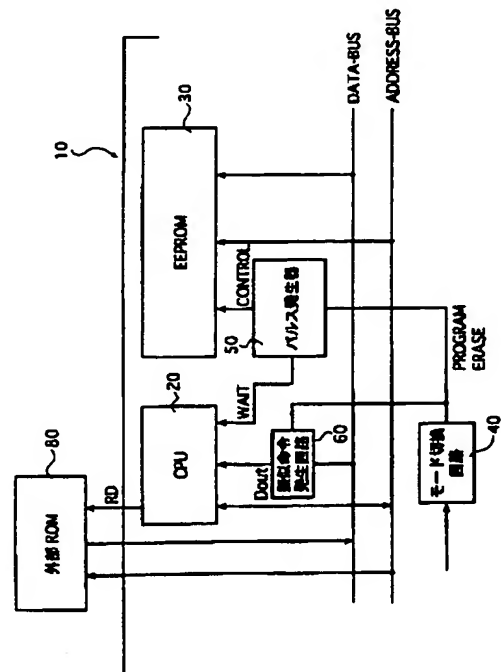
5B062 AA10 CC01 DD10 EE09 GG05

(54) 【発明の名称】 EEPROM内蔵マイクロコンピュータ

(57) 【要約】

【課題】 EEPROM書き換えプログラムを必要とせず、ハードウェアのみでEEPROMの書き換えを可能とする。

【解決手段】 外部からの指示で、EEPROM書き換えか否かのモードを切り換えるモード切換回路と、EEPROM書き換えモード時に、前記EEPROMのコントロール信号およびCPUのウェイト信号を発生するパルス発生回路と、CPUに対して擬似命令を発生する擬似命令発生回路とを備え、CPUが前記擬似命令によりプログラムカウンタをインクリメントさせながら外部のROMからデータを読み込み、前記コントロール信号により制御しながら前記EEPROMに書き込む間、前記ウェイト信号によりプログラムカウンタのインクリメントをウェイトさせるようにして前記EEPROMの書き換えを行うEEPROM内蔵マイクロコンピュータを提供することにより前記課題を解決した。



1

【特許請求の範囲】

【請求項1】マイクロコンピュータに内蔵されたEEPROMに書き込むべきデータを保持する、マイクロコンピュータの外部のROMから、データを読み込んで前記EEPROMの書き換えを行うEEPROM内蔵マイクロコンピュータであって、

外部からの指示で、前記EEPROM書き換えか否かのモードを切り換えるモード切換回路と、

前記モード切換回路からEEPROM書き換えモードを示す信号を受け、前記EEPROMのコントロール信号およびCPUのウエイト信号を発生するパルス発生回路と、

前記モード切換回路からEEPROM書き換えモードを示す信号を受け、CPUに対して、擬似命令を発生する擬似命令発生回路と、

を備え、CPUが前記擬似命令によりプログラムカウンタをインクリメントさせながら前記外部のROMからデータを読み込み、該読み込んだデータを、前記コントロール信号により制御しながら前記EEPROMに書き込む間、前記ウエイト信号によりプログラムカウンタのインクリメントをウエイトさせるようにして前記EEPROMの書き換えを行うようにしたことを特徴とするEEPROM内蔵マイクロコンピュータ。

【請求項2】請求項1において、さらに、前記モード切換回路は、切り換えモードとして、前記EEPROM書き換えか否かのモードの他に、書き換え後の前記EEPROMの確認を行うモードを有するとともに、

前記EEPROMに書き込まれたデータと、前記外部のROMから読み込まれたデータとを比較するデータ比較器を有し、

前記EEPROM書き換えの確認を行うことを特徴とするEEPROM内蔵マイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、EEPROM内蔵マイクロコンピュータに係り、特に内蔵されたEEPROMの書き換え技術に関する。

【0002】

【従来の技術】EEPROM (electrically erasable PROM) は、電氣的に記憶情報の消去・再書き込みが可能で不揮発性メモリであり、システムに組み込んだまま外部パネルや遠隔操作で情報の変更が可能であるなどの特徴を生かして、広い分野に使用されている。例えば、マイクロプロセッサの他、メモリやインタフェース回路まで同一チップに集積したいわゆる1チップマイクロコンピュータが開発されているが、これのメモリとしてEEPROMも用いられるようになってきている。従来、これらのEEPROMを組み込んだマイクロコンピュータシステムにおいて、その内蔵されたEEPROMの書き換えは、そのマイクロコンピュータシステムの内部に

2

ある他のRAMやROMを利用して行われていた。

【0003】すなわち、EEPROMの書き換えを行うためのプログラムを入れたROMを、製造時にマイクロコンピュータシステムに組み込んでおく。また、EEPROMに書き込むべきデータを保持しているROM (いわゆる「種ROM」と呼ばれるもの) を該システムの外に用意しておく。そして、EEPROM書き換え時には、該システムに内蔵されたROMに予め入れておいたプログラムを実行して、該システム外のROM (種ROM) からデータを読み込み、一旦、システム内のRAMに書き込み、このRAMに書き込んだデータをEEPROMに書き込むことによって、EEPROMの書き換えを行っていた。

【0004】

【発明が解決しようとする課題】しかしながら、従来のようにEEPROMの書き換えを、システムに内蔵されたROMやRAMを用いて行う場合には、ROM書き込みデータはマイクロコンピュータ製造時に決定されるため、該ROMに書き込まれたEEPROM書き換えプログラムに不具合があった場合には、マイクロコンピュータを再製造しなければならず、多くの日数が必要とされるという問題があった。

【0005】本発明は、前記従来の問題に鑑みてなされたものであり、EEPROM書き換えプログラムを必要とせず、ハードウェアのみでEEPROMの書き換えを可能としたEEPROM内蔵マイクロコンピュータを提供することを課題とする。

【0006】

【課題を解決するための手段】前記課題を解決するために、本発明は、マイクロコンピュータに内蔵されたEEPROMに書き込むべきデータを保持する、マイクロコンピュータの外部のROMから、データを読み込んで前記EEPROMの書き換えを行うEEPROM内蔵マイクロコンピュータであって、外部からの指示で、前記EEPROM書き換えか否かのモードを切り換えるモード切換回路と、前記モード切換回路からEEPROM書き換えモードを示す信号を受け、前記EEPROMのコントロール信号およびCPUのウエイト信号を発生するパルス発生回路と、前記モード切換回路からEEPROM書き換えモードを示す信号を受け、CPUに対して、擬似命令を発生する擬似命令発生回路と、を備え、CPUが前記擬似命令によりプログラムカウンタをインクリメントさせながら前記外部のROMからデータを読み込み、該読み込んだデータを、前記コントロール信号により制御しながら前記EEPROMに書き込む間、前記ウエイト信号によりプログラムカウンタのインクリメントをウエイトさせるようにして前記EEPROMの書き換えを行うようにしたことを特徴とするEEPROM内蔵マイクロコンピュータを提供する。

【0007】また本発明は、さらに、前記モード切換回

3

路は、切り換えモードとして、前記EEPROM書き換えか否かのモードの他に、書き換え後の前記EEPROMの確認を行うモードを有するとともに、前記EEPROMに書き込まれたデータと、前記外部のROMから読み込まれたデータとを比較するデータ比較器を有し、前記EEPROM書き換えの確認を行うことを特徴とするEEPROM内蔵マイクロコンピュータを提供する。

【0008】

【発明の実施の形態】以下、本発明に係るEEPROM内蔵マイクロコンピュータについて、添付の図面に示される好適実施形態を基に、詳細に説明する。

【0009】図1は、本発明の第一実施形態に係る、EEPROM内蔵マイクロコンピュータの、特に、EEPROMの書き換えに係る部分の概略構成の一例を示す回路図である。図1において、EEPROM内蔵マイクロコンピュータ10は、CPU20、EEPROM30、およびEEPROM30の書き換えのための回路として、モード切換回路40、パルス発生器50および擬似命令発生回路60を有している。また、マイクロコンピュータ10の外部のROM80には、EEPROM30

に書き込むべきデータが入っている。

【0010】モード切換回路40の一例の概略を図2に示す。図2に示すように、モード切換回路40は、2つのラッチ42、44と2つのANDゲート46、48によって構成される。システムリセット信号RESETが、ラッチ42、44のイネーブルGに接続し、モード切り換え時には、外部入力信号A、Bにより、各モードが決定される。外部入力信号A、Bとモードの関係を図3に示す。図3に示すように、A=0、B=1のとき、EEPROM30の内容を一括して消去する消去モード

(ERASEモード)であり、A=1、B=0のとき、EEPROM30の書き換えを行うPROGRAMモードである。また、これ以外の、A=B=1及びA=B=0の場合は、通常モードである。

【0011】パルス発生器50の一例の概略を図4に示す。図4に示すように、パルス発生器50は、カウンタ52、デコーダ54及びSRラッチ56とから構成される。カウンタ52は、モード切換回路40にて発生されるERASE、PROGRAM信号をイネーブルとし、これらいずれかのモードのときアクティブとなり、内部システムクロックによってカウンタが回り始めて、カウンタ値がインクリメントされる。デコーダ54は、このカウンタ値を必要なファイルサーバにデコードし、SRラッチ56は、これによりERASEまたはPROGRAMモードのときに、必要なパルス幅の、EEPROMのコントロール信号CONTROLおよびCPU20のウエイト信号WAITを発生する。コントロール信号CONTROLはEEPROM30へ、ウエイト信号WAITはCPU20へ、それぞれ送られる。

【0012】擬似命令発生回路60の一例の概略を図5

4

に示す。図5に示すように、擬似命令発生回路60は、第一段のマルチプレクサ62、第二段のマルチプレクサ64、アドレスデコーダ66およびANDゲート68から構成される。擬似命令発生回路60は、PROGRAMモード時には、CPU20のプログラムカウンタをインクリメントさせるために、出力信号DoutとしてNOP命令をCPU20へ出力する。また、PROGRAM終了時には、出力信号DoutとしてHALT命令を出力し、EEPROM30への書き換えを終了する。

【0013】図6に、擬似命令発生回路60の動作仕様を示す。図6に示すように、PROGRAMモード時、アドレスデコーダ66に入力されるEEPROMアドレスが最終アドレスでない場合には、第一段のマルチプレクサ62を通過したNOP命令が、第二段のマルチプレクサ64から出力信号Doutとして出力される。また、PROGRAMモード時にEEPROMアドレスが最終アドレスになった場合には、第二段のマルチプレクサ64でHALT命令が選択され、出力信号Doutとして出力される。

【0014】以下、図7のタイミングチャートを用いて、本実施形態の作用を説明する。EEPROM30の書き換えをする場合には、まずERASEモードによりEEPROM30の中身を消去して、その後EEPROM30にデータを書き込んで行く。図7は、ERASE後、EEPROM30にデータを書き込む場合を示している。RESETがオンになると、PROGRAM信号がHighになっている場合に、擬似命令発生回路60から、CPUDATAとしてNOP命令が出力される。CPU20では、NOP命令によりプログラムカウンタをインクリメントする。また、CPU20は、これにより、リード信号RDを外部ROM80へ出力し、外部ROM80から、データを読み込み、DATA-BUSを介して、EEPROM30へ書き込む。このとき、パルス発生器50からウエイト信号WAITが出力され、いま読み込まれたデータのEEPROM30への書き込みが終了するまで、プログラムカウンタのインクリメントをウエイトさせる。これにより、データのセットアップホールドタイムを満たすことができる。

【0015】EEPROM30への書き込みは、プログラムカウンタの値をEEPROMアドレスとして行われる。プログラムカウンタが最終アドレスFFFFになると、擬似命令発生回路60のANDゲート68の出力信号がHighとなり、第二段のマルチプレクサ64から、HALT命令が出力される。すなわち、図7のタイミングチャートにおいて、HALT命令がオンとなる。HALT命令がオンとなることで、CPUは、EEPROM30へのデータの書き込みを終了する。

【0016】このように、本実施形態によれば、従来のようにマイクロコンピュータ内に設けられたRAMやROM等のファームを利用することなく、擬似的な命令で

5

インクリメントされるプログラムカウンタおよびウエイト信号を活用することで、ハードウェアのみによりEEPROMの書き換えが可能となった。

【0017】次に、本発明の第二実施形態について説明する。図8に、本発明の第二実施形態に係るEEPROM内蔵マイクロコンピュータの一例の概略回路図を示す。第二実施形態に係るEEPROM内蔵マイクロコンピュータは、前述した第一実施形態に対して、EEPROMに書き込まれたデータの確認を行うペリファイモードを追加したものである。図8において、第二実施形態に係るEEPROM100は、CPU120、EEPROM130、モード切換回路140、パルス発生器150、擬似命令発生回路160およびEEPROM130に書き込まれたデータの確認を行うデータ比較器170を備えている。

【0018】このうちモード切換回路140及びデータ比較器170以外は、基本的に第一実施形態と同様である。モード切換回路140は、ERASEモード、PROGRAMモード、通常モードの他にVERIFYモード発生への切り換えが可能となっている。モード切換回路140の回路の一例を図9に示す。図9に示すように、モード切換回路140は、第一実施形態と同様2つのラッチ142、144、2つのANDゲート146、148の他にVERIFY信号を発生させるためのANDゲート149を有している。図10に、入力信号A、Bと、モードとの関係を示す。図10に示すように、A=B=0の場合がVERIFYモードであり、その他の場合は、図3に示す第一実施形態と同様である。

【0019】第二実施形態は、EEPROM130の書き換えを行う際、まずERASEモードでEEPROM130の消去を行い、次にPROGRAMモードでEEPROM130へデータの書き込みを行い、最後にVERIFYモードで、書き込んだデータの確認を行うものである。EEPROM130へのデータの書き込みまでは、第一実施形態と同様である。書き換え後VERIFYモードにすると、やはり擬似命令発生回路160は、NOP命令をCPU120に出力し、プログラムカウンタがインクリメントされる。CPU120は、EEPROM130および外部ROM180に対してリード命令を出し、両方からデータをデータ比較器170へ読み出す。

【0020】データ比較器170では、これら両方のデータを比較して、例えば、一致していれば0、合っていないければ1という信号を出力して外部から観測できるようにする。データ比較器170は、とくに限定されるものではなく、例えばその回路は、XOR、やOR等のゲートを用いて簡単に実現することができる通常のコンペア回路でよい。

【0021】以上の実施形態では、いずれもEEPROM全体を書き換えるものであったが、その一部分のみを

6

書き換えることも可能である。その場合には、例えば、擬似命令の方にジャンプ命令を入れる等により、アドレスを該当する場所に設定し、そこへNOP命令を入れて、前と同様にデータを書き込んでいけばよい。

【0022】以上説明したように、本実施形態によれば、擬似的な命令でインクリメントされるプログラムカウンタおよびウエイト信号を活用することで、ハードウェアのみによりEEPROMの書き換えが可能である。また、書き換え後の確認も容易に行うことができる。以上、本発明のEEPROM内蔵マイクロコンピュータについて詳細に説明したが、本発明は、以上の例には限定されず、本発明の要旨を逸脱しない範囲において、各種の改良や変更をおこなってもよいのはもちろんである。

【0023】

【発明の効果】以上説明した通り、本発明によれば、マイクロコンピュータ内に設けられたRAMやROM等のファームを利用することなく、擬似的な命令でインクリメントされるプログラムカウンタおよびウエイト信号を活用することで、ハードウェアのみによりEEPROMの書き換えが可能となった。

【図面の簡単な説明】

【図1】 本発明の第一実施形態に係るEEPROM内蔵マイクロコンピュータの概略を示す回路図である。

【図2】 図1のモード切換回路の一例を示す概略回路図である。

【図3】 図1のモード切換回路におけるモード切り換えの状態を示す説明図である。

【図4】 図1のパルス発生器の一例を示す概略回路図である。

【図5】 図1の擬似命令発生回路の一例を示す概略回路図である。

【図6】 擬似命令発生回路の動作仕様を示す説明図である。

【図7】 第一実施形態の動作を示すタイミングチャートである。

【図8】 本発明の第二実施形態に係るEEPROM内蔵マイクロコンピュータの概略を示す回路図である。

【図9】 図8に示すモード切換回路の一例を示す概略回路図である。

【図10】 図8におけるモード切り換え状態を示す説明図である。

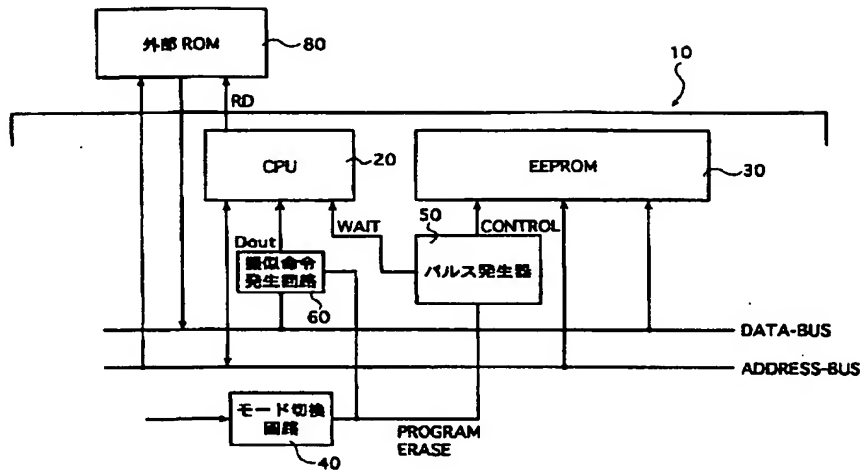
【符号の説明】

10、100 EEPROM内蔵マイクロコンピュータ
20、120 CPU
30、130 EEPROM
40、140 モード切換回路
42、44 ラッチ
46、48 ANDゲート
50、150 パルス発生器
52 カウンタ

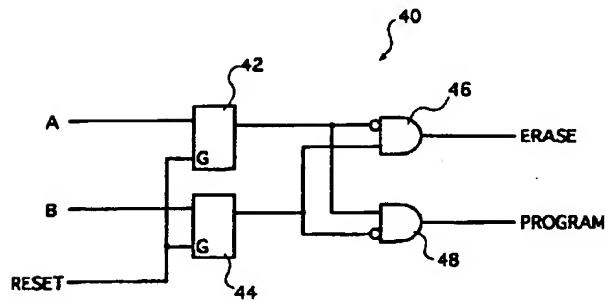
54 デコーダ
56 SRラッチ
60、160 擬似命令発生回路
62 第一段のマルチプレクサ
64 第二段のマルチプレクサ

*66 デコーダ
68 ANDゲート
80、180 外部ROM
170 データ比較器

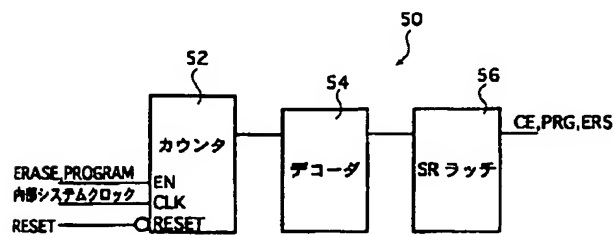
【図1】



【図2】



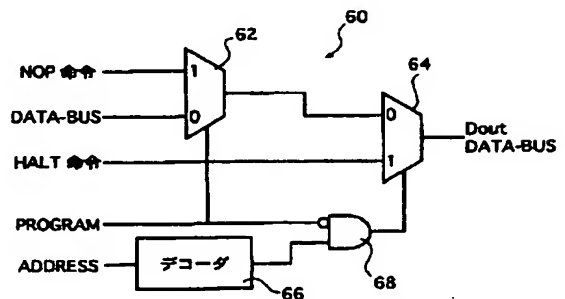
【図4】



【図3】

A	B	ERASE	PROGRAM	モード
0	1	1	0	ERASEモード
1	0	0	1	PROGRAMモード
0	0	0	0	通常動作モード
1	1	0	0	

【図5】



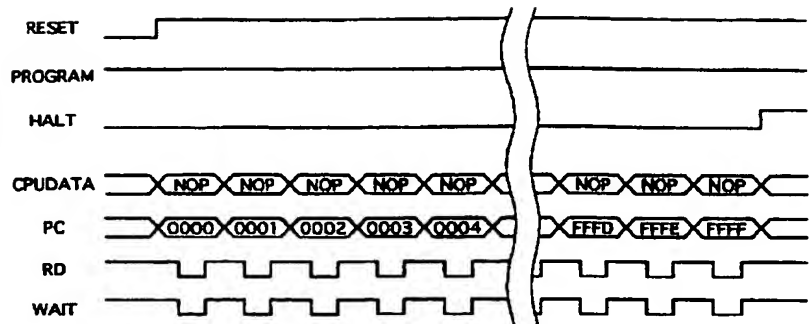
【図10】

A	B	ERASE	PROGRAM	VERIFY	モード
0	1	1	0	0	ERASEモード
1	0	0	1	0	PROGRAMモード
0	0	0	0	1	VERIFYモード
1	1	0	0	0	通常動作モード

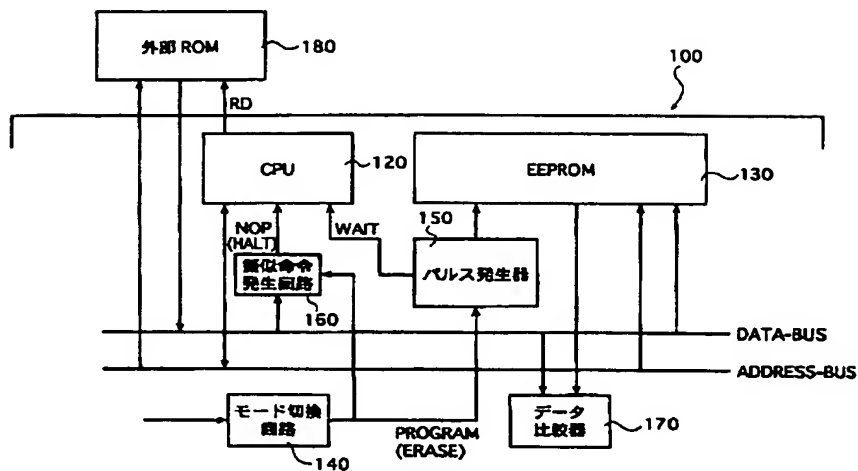
【図 6】

EEPROM アドレス	PROGRAM	DATA-BUS
非最終アドレス	1	NOP 命令
最終アドレス	1	HALT 命令
Don't Care	0	通常命令

【図 7】



【図 8】



【図 9】

